

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-148687
(43)Date of publication of application : 07.06.1990

(51)Int.Cl. H05B 33/08
G09G 3/30

(21)Application number : 01-270180 (71)Applicant : EASTMAN KODAK CO
(22)Date of filing : 17.10.1989 (72)Inventor : BELL CYNTHIA S
GABOURY MICHAEL J

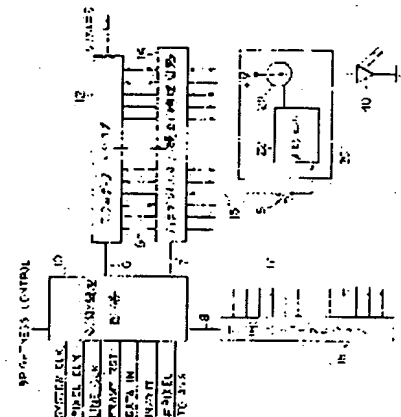
(30)Priority
Priority number : 88 260103 Priority date : 20.10.1988 Priority country : US

(54) EL STORAGE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To store and hold data without requiring addition of an external memory or frequent renewal of the image data being held and make possible driving a computer for a display by controlling a current flowing from a current source to an EL element in response to a signal held within a memory element.

CONSTITUTION: Each organic pixel element 40 in a matrix is fitted with a plurality of memory cells 22 for receiving a plurality of corresponding binary digitized bit data. An output from each memory cell 22 is supplied to a current drive circuit 28 to control a part of total current supplied to the pixel elements 40. Thereby memory drive circuits 12, 14, 16 corresponding to the pixel elements 40 can function as memory cells for controlling the current supplied to the pixel elements 40, as a D/A converter, and as an electronic switch, and such a driving system makes possible continuous and static current supply driving action for each pixel element 40, so that the desired brightness level responding to binary digitized signals can be obtained.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-148687

⑪ Int. Cl.³

H 05 B 33/08
G 09 G 3/30

識別記号

庁内整理番号

Z

6649-3K
6376-5C

⑬ 公開 平成2年(1990)6月7日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 ELストレージディスプレイ装置

⑮ 特 願 平1-270180

⑯ 出 願 平1(1989)10月17日

優先権主張 ⑰ 1988年10月20日 ⑱ 米国(US) ⑲ 260103

⑳ 発 明 者 シンシア スー ベル アメリカ合衆国 ニューヨーク州14580 ウェブスター
ウエストオーバー ドライブ18

㉑ 発 明 者 マイケル ジョセフ アメリカ合衆国 ニューヨーク州 14559 スペンサーボ
ゲイブリー ート クレス ヒル ドライブ 7

㉒ 出 願 人 イーストマン・コダッ アメリカ合衆国 ニューヨーク州14650 ロチェスター市
ク・カンパニー ステート ストリート343

㉓ 代 理 人 弁理士 吉田 研二 外2名

明 細 書

1. 発明の名称

ELストレージディスプレイ装置

2. 特許請求の範囲

輝度制御回路を備え、以下(a)～(e)の各要素を含むことを特徴とするEL(エレクトロルミネセント)ストレージディスプレイ装置:

(a) EL素子(40);

(b) 前記EL素子に対応して設けられた複数のメモリ素子(22);

(c) 前記EL素子(40)へ回路接続された電流源(28);

(d) 前記複数のメモリ素子(22)と対応して同数個設けられ、それぞれが対応するメモリ素子(22)に接続されると共に該メモリ素子(22)内に保持されている信号にตอบสนองして前記電流源(28)からEL素子(40)へ流れる電流を制御する複数の電流制御素子(24);及び

(e) 前記EL素子(40)により要求された輝度を表す信号($B_0 - B_0$)を前記メモリ素子

(22)へ供給するための手段(10, 12, 14, 16, 18)。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は薄膜ELディスプレイ装置、特に駆動回路を持つ有機ELディスプレイ装置に関する。

[従来技術]

エレクトロルミネセンス(EL)は物質に電界を印加することによって生ずる発光現象を言い、この特性は従来よりディスプレイパネルに重用されている。

このような装置の第1の形態としては、キャパシタを形成する対向プレート間にルミネセント物質を誘導体として用い、該平行プレートのいずれかの一を透明体としたAC型の装置が挙げられ、交流電圧が前記平行プレートに印加されるとルミネセント物質から光が発生する。

そして、ルミネセント物質の一方の表面には導電性物質のロー(列)をそして他方の表面には導電性物質のコラム(行)をそれぞれ蒸着形成し、

全体としてX-Yマトリックスが構成され、コラムとローとの交点にはビデオディスプレイ用のピクセルが形成される。この結果、当該交点に位置するピクセルを適宜駆起することによって光が発生することとなる。

前記ロー及びコラムには、各ピクセルで発生する光量の関数として印加される電流または電圧のレベルを変化させる作用を果す駆動回路が接続されている。

そして、EL物質分野における技術進歩に伴い、直流電圧レベルの低いディスプレイに使用可能であり多数色の高輝度レベル光を発生できる有機性物質がその主流となりつつある。

〔発明が解決しようとする課題〕

更に、これまでの研究結果によれば、ディスプレイパネルに要求されるアドレス指定ピクセルの密度は非常に高いことが判明した。

そして、ディスプレイに外部メモリを装備することなく、また、絶え間ない記憶保持内容データの更新を行わせる必要なく装置を動作させるには、

御する複数の電流制御素子と、前記EL素子により要求された輝度を表す信号($B_0 - B_n$)を前記メモリ素子へ供給する手段と、を含むことを特徴とする。

以上の如く構成される本発明に係るELディスプレイ装置では、マトリックス内の各有機ピクセル素子には、それぞれ対応する複数の2値化ビットデータを受信するための複数のメモリセルが配設されている。

各メモリセルからの出力は電流駆動回路に供給され、ここで各メモリセルはピクセル素子に供給される総電流の一部を制御する。

次いで、各メモリセルは一のMOSトランジスタを駆動して他のMOSトランジスタに対し並列回路接続状態に置く。こうして並列接続されたトランジスタをオンすることにより、ピクセル素子への電流量及びその光の輝度が調節制御される。

このようにして、各ピクセル素子に対応するメモリ駆動回路はピクセル素子への供給電流制御用のメモリセル、D/Aコンバータ及び電子スイッ

画像データの記憶保持機能を装置に内蔵させることが必要となる。

また、ディスプレイの輝度をアナログ信号ではなくデジタル(2値)信号にて制御できればディスプレイをコンピュータ駆動に供せられるので、この点に対する強い要望があった。

本発明は上記従来の課題に鑑み為されたものであり、その目的は外部メモリの付設や保持されている画像データの頻繁な更新などを必要とすることなくデータを記憶保持でき、またディスプレイ用コンピュータ駆動に供し得るELストレージディスプレイ装置を提供することにある。

〔課題を解決するための手段及び作用〕

上記目的を達成するために本発明は、EL素子と、該EL素子に対応して設けられた複数のメモリ素子と、前記EL素子へ回路接続された電流源と、前記複数のメモリ素子と対応して同数個設けられそれぞれが対応するメモリ素子に接続されると共に該メモリ素子内に保持されている信号にตอบสนองして前記電流源からEL素子へ流れる電流を制

止として機能することが理解される。

このような特殊な駆動形態によって各ピクセル素子に対して連続的かつ静的な電流供給駆動作用が可能となり、2値信号にตอบสนองした所望の輝度レベルを得ることができる。

同時に、このような構成によってピクセル素子を発光させるために必要なピーク駆動電流を低減させることができ、また輝度制御回路を含むマトリックスディスプレイの電圧及び電力消費レベルをも間接的に低減できるという効果が得られる。

〔実施例〕

以下、図面に基づき本発明の好適な実施例を説明する。

第1図において、制御論理回路10には入力データ(DATA IN)信号及び複数のインターフェースタイミング信号が入力され、入力データ信号と後者すなわちピクセルクロック(PIXEL CLK)、ラインクロック(LINE CLK)及びフレームリセット(FRAME RST)の各信号とが周知の処理手法にて同期されている。

また、システムクロック (SYSTEM CLK) 信号は制御論理回路10内部のタイミングをとるための高速クロックとして作用する。

そして、入力/出力 (IN/OUT) ラインを介してメモリストレージに対するデータの書き込み及び読出しが行われるが、このモードはディスプレイ回路に対するテストの自動化にも大きく寄与する。

更に、平均化ピクセル番号 (#PIXEL TO AVG.) 信号は、データ源から送信されてきたデータにより表示の分解能を変化させる作用を果たす。通常、データ源から直接伝送されてきた信号はディスプレイシステムの外部で前抽出されるかまたは所定の前処理に供されることにより平均化される場合が多い。

他方、輝度制御 (BRIGHTNESS CONTROL) 信号は種々のケースに対応してディスプレイの輝度レベル調節を行う。この輝度制御信号レベルは使用者が光メータ回路その他の手段からなるポテンシオメータを操作することにより

調整されることになる。

前記制御論理回路10の出力は、それぞれライン6、7及び8を介してコラムデータレジスタ12、ディスプレイ入力/読出し論理回路14及びローストロープレジスタ16へ供給される。

前記コラムデータレジスタ12からの平行出力9はディスプレイ入力/読出し論理回路14に接続され、両者間で双方向データ伝送路が形成されている。そして、後者は対応する数の双方向ライン出力15を有する。

そして、ローストロープレジスタ16はディスプレイマトリックスの総数に等しい出力ライン17をもつ。

一方、メモリ駆動回路20は、対応する一のローライン、図示例ではローライン17が選択 (励起) された時にMOSスイッチ18によってコラムライン15と接続される。そして、メモリ駆動回路20の出力がELセル (ピクセル素子) 40へ向かう。

ここで、画像ディスプレイは前記ピクセル素子

40を複数個集合させた物理的配列にて構成され、一般にはローとコラムからなるマトリックス形態あるいはVLSI多層型構造などが採られる。

各ピクセル素子40には対応する固有のメモリ駆動回路20が配設され、該各メモリ駆動回路20内はその入力ラインがスイッチ18を介してライン15に接続されたメモリセル22を含む。そして、各メモリセル22の出力は電源+Vから電力供給を受ける電流駆動源28に接続され、ピクセル素子40への電圧印加が行われる。

上記駆動電流の大きさはメモリセル22からの出力信号により制御されるが、他方該メモリセル22の出力信号は同時にピクセル素子40から照射された光の輝度レベルを定める役割をも果たしている。

さて、入力 (IN) 信号とフレームリセット信号とがベアになって制御論理回路10に供給されると、ディスプレイ入力/読出し論理回路14がライン7からの使用可能信号によって書き込みモードに設定され、ディスプレイへ新たなデータがロードさ

れる。

前記入力データは平均化ピクセル番号信号の指令に基づき平均化された後メモリ駆動回路20へ向かう。この伝送作用は、1ラインごとに順次ライン6を介してデータをコラムデータレジスタ12へCR伝送することにより行われる。

そして、全ラインによるデータ伝送が完了すると、制御論理回路10はライン8を介してローストロープレジスタ16へパルスを出力し、これによって当該ローに対応するトランジスタスイッチ18を閉止させてメモリセル22へのコラムデータ伝送を許可する。こうして一のデータロードが完了した後、ローススイッチ18が再び開放され続いて次ラインによるロード作用に移る。

次に、出力 (OUT) 信号とフレームリセット信号とがベアになって制御論理回路10へ供給されると、該制御論理回路10はディスプレイ入力/読出し論理回路14を読出しモードに設定する。

この結果、各ローストローブライン17が使用可能状態に置かれると共に各メモリセル22の論

理状態が各コラムライン15にて検知され、各メモリセル22内のデータはコラムデータレジスタ12へ平行伝送され、該コラムデータレジスタ12はそのシリアル出力ラインから各ライン毎に順次シリアルにデータ出力を送出する。

第2図はメモリ駆動回路20の内部構成を示し、 $B_n \sim B_{n-3}$ の2値ビット信号に 대응して対応する各メモリセル22_n～22_{n-3}が1または複数のMOSトランジスタ24を駆動し、これら各MOSトランジスタ24、26及び27がピクセル素子40を駆動させるための電流駆動源28を構成している。

また、MOSトランジスタ26及び27はカレントミラーとして機能し、MOSトランジスタ27を流れる電流 I_{pixel} はMOSトランジスタ26を流れる電流 I_2 と等しい。電流 I_2 は並列に駆動接続された複数のMOSトランジスタ24のオンオフ作用により制御される。

そして、全てのMOSトランジスタ24がオンされると、最大レベルの電流がピクセル素子40

へ流れ、他方全てのMOSトランジスタ24がオフ制御されるとピクセル素子40は消灯することとなる。

通常、MOSトランジスタ26と27との規格が同等であれば、以下の関係が保持されることとなる。

$$I_{pixel} = I_2 = I_n + I_{n+1} + \dots$$

ここにおいて、各MOSトランジスタのそれぞれがオンされた時に異なる電流が流れるよう設計されていれば、任意のトランジスタを選択的に組み合わせてオンすることによって所望の電流強度レベルを得ることが可能である。

このようなメモリセル22_n～22_{n-3}のロー入力へ使用可能信号を選択的に供給することによって所望のMOSトランジスタ24だけを作動させることができる。そして、 B_n の入力には前記ロー使用可能信号に先立ってコラムビットが供給され、このコラムビットはその後のロー使用可能信号の受信と同時にメモリセル22へラッチされる。

第3図は一のメモリセル22_n内の回路構成例を示し、コラム入力信号 B_n はCMOSインバータゲート36に入力された後、MOS伝送ゲート30を経てMOS伝送ゲート34の一方の電極にも供給される。

他方、ロー入力はCMOSインバータ32の入力側、MOSトランジスタ34のゲート電極及びMOSトランジスタ30のゲート電極にそれぞれ供給されている。

また、MOSトランジスタ34の一方の電極はCMOSインバータ38の入力側に接続されており、こうしてメモリセル22への出力は対応するMOSトランジスタ24のゲート電極へ向けて送られることとなる。

第4図はメモリセル22_n内の他の回路構成例を示す。MOSトランジスタ31のドレイン電極は信号 B_n を、そしてゲート電極はロー信号を、それぞれ受信するよう接続されており、またソース電極はCMOSインバータ33及び35の入力にそれぞれ接続されている。インバータ33及び

35の出力は対応MOSトランジスタ24のゲート電極に向うこととなる。

第5図はピクセル素子40として用いられるEL素子の層構造を示す。

図において、ピクセル素子40はその上面にITO(インジウム酸化スズ)層42が真空蒸着によってガラス基板41上に形成される。そして、陽極が前記ITO層42に固着され、芳香性ダイアミンからなる第1有機層43がその上に真空蒸着されている。

そして、前記第1有機層43上にはさらにルミネセントALq₃薄膜からなる第2有機層44が、そして該第2有機層44上には合金またはマグネシウムと銀との混合物(MgAg)からなる電極45が、それぞれ真空蒸着された構造をとる。

前記電極45は不図示の電源の負極側に、そしてITO層42側が正極側に、それぞれ接続される。

このようにして、直流電流に responding して光を発生する有機ELダイオードが形成されることとなる。

なお、このような装置の詳細構成は例えば「オーガニック EL ダイオード」(著者C. W. タング、Appl. Phys. Lett. 51 (12)、1987年9月21日発行)の第913頁～914頁に記述されている。

また、大規模なディスプレイを構成するには、上述したような構造のピクセル素子を多数個フレーム状に集合させた構造とするかあるいはそれぞれが相互に接続されてディスプレイを構成する単一または複数の独立したVLSIチップとして製造することなどが好適である。

[付記]

本発明は上記実施例に基づき以下のような態様を採り得る。

(1) 請求項(1)に記載の装置において、前記複数の素子(24)は、それぞれが対応するメモリ素子(40)に接続されたゲート電極を持つMOSトランジスタであることを特徴とするELストレージディスプレイ装置。

(2) 請求項(1)に記載の装置において、前記

前記ローストロープレジスタ手段(16)の複数のロー出力(17)の每一にそれぞれ接続され前記入力/出力論理手段(14)のコラム出力(15)の每一をスイッチ出力へ接続する複数のスイッチ手段(18)；

各スイッチ手段(18)のスイッチ出力に接続された入力及び該入力から供給された画像信号の関数としての電流を送出する出力を有する複数のメモリ駆動回路手段(20)；及び

それぞれが各メモリ駆動回路手段(20)の出力に接続され供給された電流によって発光する複数のELディスプレイ手段(40)。

(4) 上記(3)に記載の装置において、更に入力制御信号、画像データ信号及び輝度信号にตอบสนองして前記コラムデータレジスタ(12)へ画像信号を、前記入力/出力論理手段(14)へ使用可能信号(7)を、そして前記ローストロープレジスタ手段(16)へ入力信号(8)を、それぞれ供給する制御論理手段(10)を備えたことを特徴とするELストレージディスプレイ装置。

メモリ素子へ信号を供給するための手段は、

前記複数のメモリ素子(40)と同数の2値ビット($B_1 - B_0$)と、

前記2値ビット($B_1 - B_0$)を前記メモリ素子(40)へロードさせるための使用可能信号(16)を供給する使用可能信号源と、を含むことを特徴とするELストレージディスプレイ装置。
(3) 輝度制御回路を備え、以下の各要素を含むことを特徴とするELストレージディスプレイ装置。

画像信号がシリアルに供給される入力(6)及び前記画像信号を送出するための複数の平行出力(9)をもつコラムデータレジスタ手段(12)；
使用可能信号(7)にตอบสนองし、前記コラムデータレジスタ手段(12)の複数の平行出力(9)に接続され前記画像信号を対応するコラム出力(9)へ送出する入力/出力論理手段(14)；
入力信号(8)にตอบสนองして複数のロー出力(17)のそれぞれに使用可能ストロープ信号を順次供給するローストロープレジスタ手段(16)；

(5) 上記(3)に記載の装置において、前記各メモリ駆動回路手段(20)は以下の各要素を含むことを特徴とする。

複数のメモリ素子(22)；

ELディスプレイ手段(40)へ回路接続された電流源(28)；

それぞれが対応するメモリ素子(22)に接続され該メモリ素子(22)内に保持されている信号($B_1 - B_0$)にตอบสนองして前記ELディスプレイ手段(40)へ前記電流源(28)から供給される電流量を増大させるよう前記複数のメモリ素子(22)に対応して同数個配設された複数の素子(24)；及び

前記ELディスプレイ手段から要求された強度を表す信号を前記素子(24)へ供給するための手段(16、12、14)を含むことを特徴とするELストレージディスプレイ装置。

(6) 上記(5)に記載の装置において、前記複数の素子(24)はそれぞれが対応するメモリ素子(22)に接続されたゲート電極をもつMOS

トランジスタであることを特徴とするELストレージディスプレイ装置。

(7) 上記(5)に記載の装置において、前記メモリ素子へ信号を供給するための手段は、

前記複数のメモリ素子(22)と同数の2値ビット($B_n - B_0$)と、

前記2値ビット($B_n - B_0$)を前記メモリ素子(40)へロードさせるための使用可能信号

(ROW)を供給するための使用可能信号源(16)と、を含むことを特徴とするELストレージディスプレイ装置。

(8) 以下の各要素を含むことを特徴とするELストレージディスプレイ装置。

ディスプレイ内に配設された複数のEL素子(40)；

対応するEL素子(40)から要求された強度レベルに対応した2値信号($B_n - B_0$)を受信するために前記複数のEL素子(40)のそれぞれに対応して設けられた複数のストレージ手段(22)；

それぞれが対応する前記各ストレージ手段(22)及び対応EL素子(40)に接続され前記ストレージ手段(22)内に記憶保持されている2値信号($B_n - B_0$)の関数としての電流を供給する複数の電流源(28)。

(9) 上記(8)に記載の装置において、前記各電流源(28)は以下の各要素を含むことを特徴とする。

一方が前記EL素子(40)を電源(+V)に接続し他方が電源を選択可能電流手段(24)へそれぞれ接続する作用を果す2個のMOS素子からなるカレントミラー(26、27)；及び

前記複数のストレージ手段(22)に接続されその内部に記憶保持されている信号に応答して前記他方のMOS素子(26)内に前記複数のストレージ手段(22)内に記憶保持されている信号($B_n - B_0$)の関数である電流を供給する選択的電流制御手段(24)。

【発明の効果】

以上説明したように本発明によれば、ピクセル

素子をマトリックス状に配列すると共にこれらの各ピクセル素子に対応するメモリセルを設けてマトリックス内の所望のピクセル素子だけを選択的に発光させる構成としたので、外部メモリの装填や絶間ないデータ更新などの必要なく画像データを保持でき、またディスプレイの輝度をデジタル制御できるので表示作用をコンピュータ制御に供することなども可能となる。

4. 図面の簡単な説明

第1図は駆動回路が組み込まれたアドレス指定型マトリックスディスプレイの構成を示すブロック図、

第2図は第1図におけるメモリ駆動回路の内部構成を示すブロック図、

第3図は第2図におけるメモリセルの内部構成図、

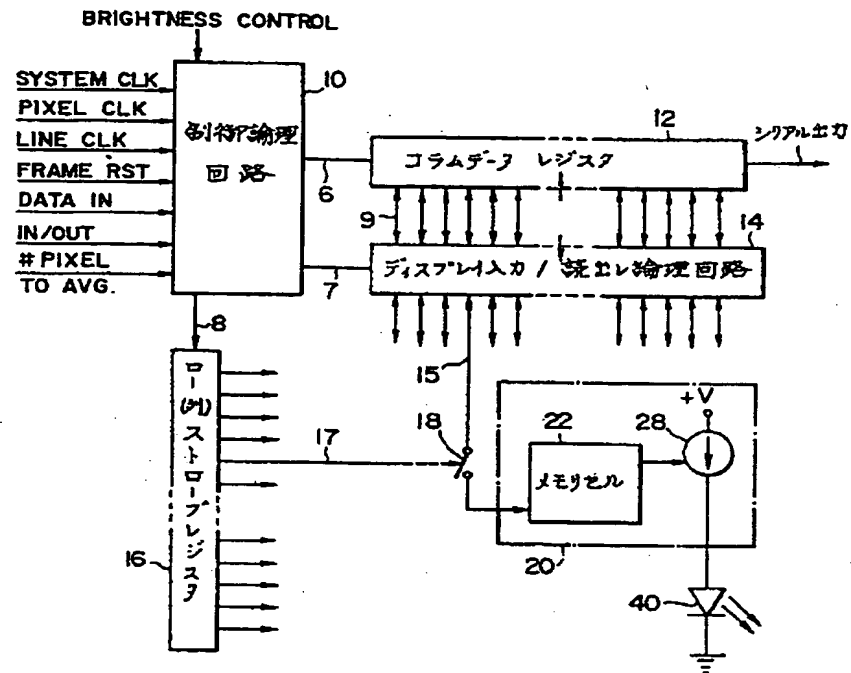
第4図は第2図におけるメモリセルの他の内部構成図、

第5図は本発明に用いられるピクセル素子の層構造を示す図である。

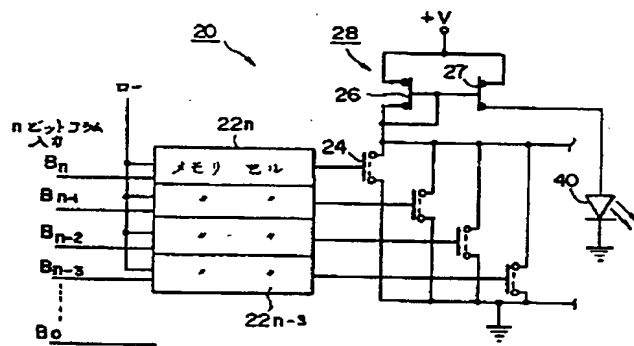
- 10 … 制御論理回路
- 12 … コラムデータレジスタ
- 14 … ディスプレイ入力/読出し論理回路
- 16 … ローストロープレジスタ
- 20 … メモリ駆動回路
- 22 … メモリセル
- 40 … ピクセル素子

出願人 イーストマン・コダック・カンパニー

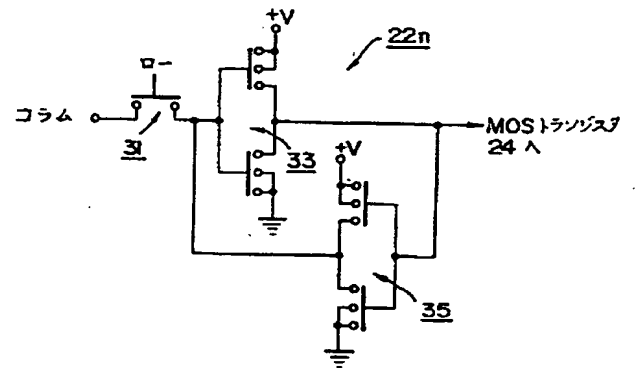
代理人 弁理士 吉田研二(外2名) [D-39]



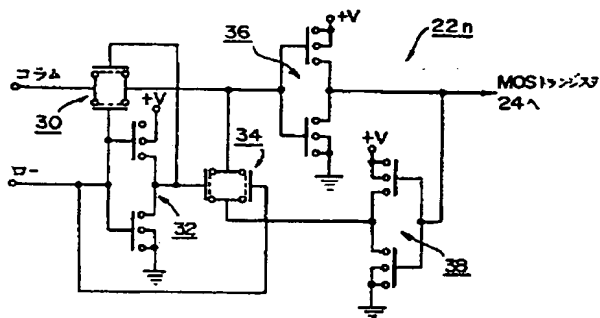
第 1 図



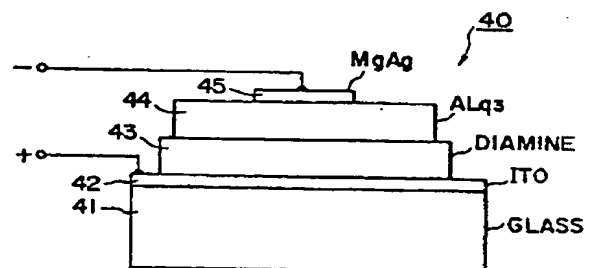
第 2 圖



第 4 図



第 3 图



第 5 図